

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-307485

(43)公開日 平成5年(1993)11月19日

(51) Int.Cl.⁵

識別記号 庁内整理番号
311 E 8120-5B

F I

技術表示箇所

(21)出願番号	特願平4-137955	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22)出願日	平成 4 年(1992) 4 月 30 日	(72)発明者	三ツ石 直幹 東京都小平市上水本町 5 丁目20番 1 号 株 式会社日立製作所武藏工場内
		(74)代理人	弁理士 玉村 静世

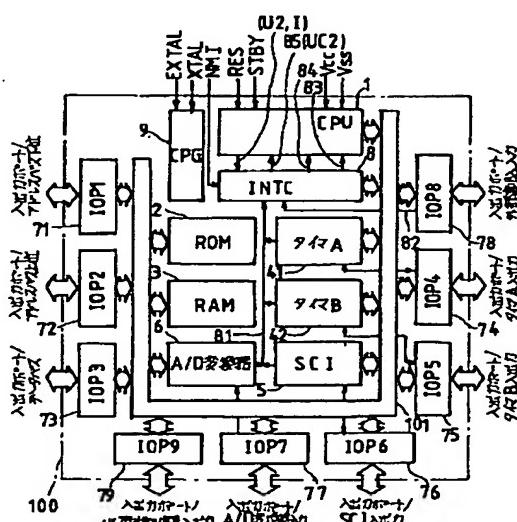
(54)【発明の名称】 データ処理装置

(57) 【要約】

【目的】 ソフトウェアの実行効率を高く維持しつつ、物理的・論理的な規模の増加を最小限としながら割込み処理を効率化できるデータ処理装置を提供することである。

【構成】 CPU 1 のコンディションコードレジスタの所定のビットを、割込みマスクビットとして又はユーザビットとして使用するかを設定する手段を、割込み制御回路 8 に設ける。前記所定ビットは、これがユーザビットとされるとき、コンディションコードレジスタに対する操作命令以外では状態が変化されないビットである。前記所定のビットを何れに使用するかは、ソフトウェア或はハードウェアの都合によって選択される。ユーザビットとしての利用は、ソフトウェア管理の容易化並びにその実行効率を向上し、割込みマスクビットとして利用は、割込み処理の効率化若しくは高機能化に寄与する。

图 1



【特許請求の範囲】

【請求項1】 レジスタ手段を有する中央処理装置と、割込み要因を調停して前記中央処理装置に割込み要求を与える割込み制御回路と、前記レジスタ手段の所定の1ビットを割込みマスクビットとして使用するか否かを指定する指定手段とを備えて成るデータ処理装置。

【請求項2】 前記所定の1ビットは、これが割込みマスクビットとして指定されていないときは、前記レジスタ手段に対する操作命令以外では状態が変化されないものである請求項1記載のデータ処理装置。

【請求項3】 前記所定のレジスタ手段の前記所定の1ビット以外に、常に割込みマスクビットとして使用されるビットを1ビット以上有するものである請求項1又は2記載のデータ処理装置。

【請求項4】 前記指定手段は、中央処理装置の外部に配置された前記割込み制御回路が備えるものである請求項1乃至3の何れか1項記載のデータ処理装置。

【請求項5】 前記レジスタ手段は、前記指定手段によって選択的に割込みマスクビットとされるビットと前記常時割込みマスクビットとされるビットとの最大2ビットの第1割込みマスクビットと第2割込みマスクビットとを有し、

前記第1の割込みマスクビットが第1の状態であるときには割込みをマスクせず、前記第1の割込みマスクビットが第2の状態で且つ第2の割込みマスクビットが第1の状態であるときには一部の割込みをマスクし、前記第1の割込みマスクビットが第2の状態で且つ第2の割込みマスクビットが第2の状態であるときには全部の割込みをマスクするものである請求項3又は4に記載のデータ処理装置。

【請求項6】 前記一部割込みを指定するための手段として、複数のビットを有する一単位のレジスタ手段であって、そのレジスタ手段の1ビットが単数または複数の割込み要因に対応される割込み優先指定レジスタを設けた請求項5記載のデータ処理装置。

【請求項7】 常時並びに前記指定手段で指定される前記割込みマスクビットの状態に依らず常に受付可能な割込みを少なくとも1本有する請求項3乃至6の何れか1項記載のデータ処理装置。

【請求項8】 前記割込み要因は、前記中央処理装置によって設定可能な許可ビットを有し、前記許可ビットが許可状態にあるときのみ、前記割込み制御回路に割込みが要求される請求項1乃至7の何れか1項記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、データ処理装置にかかり、例えば、マイクロコンピュータの割込み制御装置に利用して有効な技術に関するものである。

【0002】

【従来の技術】 マイクロコンピュータの中央処理装置(CPU)は、例えば、(株)日立製作所平成元年6月発行の『H8/330 HD6473308 HD6433308 ハードウェアマニュアル』に記載されるように、汎用レジスタまたはアキュムレータあるいはインデックスレジスタなどと呼ばれるデータレジスタまたはアドレスレジスタと、プログラムカウンタ及びコンディションコードレジスタなどの制御レジスタを含んでなる。

【0003】かかるコンディションコードレジスタは、CPUのデータ処理の結果を反映するフラグ、特に制限はされないものの、ゼロフラグ、ネガティブフラグ、キャリフラグ、オーバフローフラグ、ハーフキャリフラグを含む。例えばCPUが加算を行った時、キャリが発生すればキャリフラグが1にセットされ、発生しなければキャリフラグが0にクリアされるものである。

【0004】また、マイクロコンピュータはCPUの処理とは独立の外部要因または内蔵の機能ブロックの所定動作が発生したときに、CPUの処理を一時中断して、前記外部要因または機能ブロックの動作に対応した処理を可能にする、いわゆる割込み機能を持っている。このような割込み機能をCPUが実行すると、プログラムカウンタ及びコンディションコードレジスタの内容がCPUの外部、いわゆるスタッカ領域に退避される。また、前記割込み処理の実行が終了し、いわゆるリターン命令を実行してCPUの処理が割込み機能実行前の状態に復帰すると、前記退避されたプログラムカウンタ及びコンディションコードレジスタの内容が回復される。

【0005】例えば、(株)日立製作所平成元年6月発行の『H8/330 HD6473308 HD6433308 ハードウェアマニュアル』に記載のCPUは、8ビット構成の汎用レジスタ16本と、16ビット構成のプログラムカウンタ、及び8ビット構成のコンディションコードレジスタを含む。コンディションコードレジスタにはゼロフラグやネガティブフラグなどの他に、割込みマスクビットと、2ビットのユーザビットが含まれる。割込みマスクビットに1がセットされると割込みが禁止され、0にクリアされると割込みが許可される。また、割込み機能を実行すると割込みマスクビットは1にセットされる。このコンディションコードレジスタは、前記の通りデータ処理の結果の反映、割込み機能の実行によって変化する他に、イミディエイトデータとの論理演算等を介して、ソフトウェアプログラムによって操作することができる。2ビットのユーザビットはデータ処理の結果や割込み機能の実行によっては変化せず、ソフトウェアプログラムによってのみ変化可能にされる。なお、ユーザビットは割込み機能の実行時に自動的退避され、また、リターン命令によって復帰され、かつデータ処理結果に依存しない性質上、ソフトウェアの管理などに用いることができる。ユーザビットを用いる

ことにより、ソフトウェアの管理の容易化並びに実行効率の向上を図ることができる。

【0006】ここで割込み要求元は、外部要因または機能ブロックの要因それぞれに、許可ビットを有している。許可ビットはCPUによって設定され、システム上不使用とされるような周辺回路からの割込にを一切禁止するためなどに利用される。かかる許可ビットが0にクリアされていれば、それに対応する外部要因または機能ブロックの動作にかかわらずCPUは割込みを要求されない。許可ビットが1にセットされていればそれに対応する外部要因または機能ブロックの所定の動作によって割込みが要求される。CPUは前記割込みマスクビットによって、割込みを禁止できる。すなわち、CPUは、割込みが要求されても、前記割込みマスクビットが1にセットされていれば、かかる割込み要求は割込みマスクビットが0にクリアされるまで保留とされる。割込みが要求されたとき前記割込みマスクビットが0にクリアされていれば、かかる割込み要求は、実行中の命令が終了した時点でCPUに受け付けられ、割込み処理が実行される。

【0007】

【発明が解決しようとする課題】前記CPUは割込みマスクビットを1ビットのみ有している。したがって、割込み要求は全部の割込みを受付可能とするか、全部の割込みを保留とするかの2種類の状態しか選択できない。割込みを部分的に受付可能とするためには、前記許可ビットによるほかはない。例えば、ある割込み処理中に、一部の割込みは受付可能とし、その他は保留とする場合、割込み要因元夫々で独立したアドレスに配置されている許可ビットを、CPUがリードし、例えばRAM上に退避した後、受付可能とするビットを1にセットし、保留すべきビットを0にクリアしなければならない。また、前記割込み処理の最後には前記退避した許可ビットを回復しなければならない。かかる操作は、その処理内容に対して煩雑であり、プログラム容量とプログラムの実行時間を予想以上に必要としてしまう。

【0008】一方、(株)日立製作所昭和63年12月発行の『H8/532 HD6475328 HD6435328 ハードウェアマニュアル』に記載のようなCPUは、割込み許可レベルを8レベル有する。しかしながら、本発明者の検討によれば以下の点が明らかにされた。第1に、比較的規模の小さなシステムなど、そのCPUの応用システムによっては8レベルの割込み許可レベルを全て使用することがまれなシステムもあり、どのような用途にも8レベルの割込み許可レベルを持つCPUを用いたのでは、CPUの論理的・物理的な規模に無駄が生ずる。また、割込み許可レベルは必ずしも固定的ではなく、割込み処理の実行状態に応じて変更が必要であるが、8レベルの許可レベルの設定には必然的に多くのビットすなわち、多くのレジスタが必要であって、

割込み許可レベルの再設定には必要以上のプログラム容量並びに実行時間を費やしてしまう。

【0009】本発明の目的は、コンディションコードレジスタなどの所定のレジスタ手段に、割込みマスクビットまたはユーザビットとして使用できるビットを設け、ソフトウェアの実行効率を高く維持しつつ、かつ、物理的・論理的な規模の増加を最小限としながら割込み処理の効率化を可能としたデータ処理装置を提供することにある。

【0010】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0012】すなわち、コンディションコードレジスタのようなレジスタ手段の所定のビットを、割込みマスクビットとして使用するか、ユーザビットとして使用するかを設定するための指定手段を、例えばCPUの外部に設けるものである。前記ユーザビットは、これが割込みマスクビットとして指定されていないときは、前記レジスタ手段に対する操作命令以外では状態が変化しないビットである。前記ユーザビット以外に、常に割込みマスクビットとして使用されるビットを1ビット以上有することができる。

【0013】

【作用】CPUは、割込み要求によって割込み例外処理を行い、この割込み例外処理時にはCPUのコンディションコードレジスタのような所定のレジスタ手段を自動的に退避し、前記ユーザビットを割込みマスクビットとして使用しない場合には、当該ユーザビットは、前記コンディションコードレジスタのようなレジスタ手段に対する操作命令以外では状態が変化しない。このようにユーザビットに対してユーザビットとしての利用を担保することは、ユーザビットを用いることによってソフトウェアの管理の容易化並びに実行効率の向上を図ることを維持させる。ユーザビットを割込みマスクビットとして利用することは、物理的並びに論理的な規模の増大を最小限としながら割込み処理の効率化若しくは高機能化を実現する。コンディションコードレジスタのようなレジスタ手段の所定のビットを、割込みマスクビットとして使用するか、ユーザビットとして使用するかは、ソフトウェアあるいはハードウェアの都合によって選択できる。この点においても、ソフトウェア実行効率を保持しつつ割込み処理の効率化を実現する。

【0014】

【実施例】図1には本発明の一実施例が適用されるシングルチップマイクロコンピュータが示される。

【0015】同図に示されるシングルチップマイクロコ

ンピュータ100は、全体の制御を司るCPU（中央処理装置）1、CPU1の動作プログラムなどを保有するROM（リードオンリーメモリ）2、CPU1の作業領域並びにデータの一時記憶領域などとして利用されるRAM（ランダムアクセスメモリ）3、タイマA41、タイマB42、シリアルコミュニケーションインターフェース(SCI)5、A/D変換器6、入出力ポート71～79、割込み制御回路(INTC)8から構成され、これらは内部バス101で相互に接続されて成る。内部バス101は、特に制限はされないものの、アドレスバス、データバス、リード信号、ライト信号、システムクロックなどを含む。入出力ポート71～79は、CPU1の外部バス、タイマA41、B42あるいはSCI5の入出力端子、外部割込み信号の入力端子など、所定のもの同士で兼用されている。例えば、入出力ポート71、72はアドレスバスと、入出力ポート73はデータバスと、入出力ポート74、75、76、77はそれぞれタイマA41、タイマB42、SCI5、A/D変換器6と、入出力ポート78は外部割込みと、入出力ポート79は外部バス制御信号と兼用されている。斯るシングルチップマイクロコンピュータ100は公知の半導体集積回路製造技術によってシリコン基板のような1個の半導体基板上に形成されている。

【0016】シングルチップマイクロコンピュータ100はクロックパルスジェネレータ(CPG)9の端子EXTAL、XTALに接続される水晶発振子から、または外部から端子EXTALに入力される外部クロックから生成される基準クロック(φ)に基づいて動作を行なう。この基準クロック(φ)の最小単位をステートと呼ぶ。尚、図に代表的に示されているVss、Vccは電源端子、RESはリセット信号入力端子、STBYはスタンバイ信号入力端子である。

【0017】図2には本発明に係るデータ処理装置の一実施例であるCPU1のレジスタ構成例が示される。

【0018】CPU1は夫々8ビット構成の16本の汎用レジスタR0H、R0L～R7H、R7L、16ビット構成のプログラムカウンタPC、及び8ビット構成のコンディションコードレジスタCCRを含む。コンディションコードレジスタCCRにはゼロフラグZ、ネガティブフラグN、キャリフラグC、オーバフローフラグV、ハーフキャリフラグHの他に、割込みマスクビットIと2ビットのユーザビットU1及びU2が含まれる。割込みマスクビットIは1にセットすると割込みが禁止され、0にクリアすると割込みが許可される。また、割込み機能を実行すると割込みマスクビットIは1にセットされる。このコンディションコードレジスタCCRは、データ処理の結果の反映、割込み機能の実行によって変化するほか、コンディションコードレジスタCCRに対してイミディエイトデータとの論理演算を行うこと、さらに、コンディションコードレジスタCCRと所定の汎

用レジスタの間でデータ転送を行うことができ、ソフトウェアプログラムによって操作することができる。2ビットのユーザビットU1、U2はデータ処理結果並びに割込み機能の実行によっては変化せず、ソフトウェアプログラムによってのみ変化する。なお、前記論理演算には、論理和・論理積・排他的論理和がある。ユーザビットU1、U2は割込み機能の実行時に自動的に退避され、また、リターン命令によって復帰され、かつデータ処理結果に依存しない性質上、ソフトウェアの管理などに用いることができる。このユーザビットU1、U2を用いることにより、ソフトウェアの管理の容易化並びにその実行効率向上を図ることができる。

【0019】前記割込み制御回路(INTC)8は、前記タイマA41、タイマB42、SCI5、A/D変換器6の内蔵入出力回路のような内部割込み信号(割込み要因)81、入出力回路(IOP8)78において入出力ポートと兼用された外部割込み信号82を入力し、CPU1の前記割込みマスクビットIの状態を検査して、割込み要求83と、信号81、82により要求された割込みに対応したベクタ番号84とを、CPU1に出力する。なお、内蔵入出力回路に対応される割込み要求は前記割込み要因81と割込み許可ビットとの論理積信号に基づいて形成される。同様に、外部割込み信号についても割込み信号82と割込み許可ビットとの論理積信号に基づいて形成される。CPU1は割込み要求83が1レベルであれば、所定の命令の終了時点で、割込み例外処理を実行し、前記ベクタ番号84に対応したアドレスから分岐先アドレスを取り出して、かかる分岐先アドレスから割込み処理プログラムを実行する。

【0020】本実施例においては、さらに、割込み制御回路(INTC)8がCPU1に制御信号85を出力し、CPU1はコンディションコードレジスタCCRのビット6(下位側から第7番目のビット)のユーザビットU2(U2ビットとも記す)の状態を出力する。前記制御信号85は前記U2ビットを更にもう1ビットの割込みマスクビットとして使用するか、ユーザビットとして使用するかを選択する。

【0021】図3には割込み制御回路8のレジスタ構成例が示される。

【0022】割込み制御回路8のレジスタはICR、IPRがある。特に制限はされないものの、レジスタICRはU2Cビットの1ビットであり、かかるU2Cビットを1にセットすると、前記コンディションコードレジスタCCRのU2ビットを第2割込みマスクビットとして使用し、U2Cビットを0にクリアすると、該U2ビットをユーザビットとして使用する。このU2Cビットの内容が、前記制御信号85になる。

【0023】前記U2Cビットを1にセットすると、割込みマスクビットは1ビットとU2ビットの全2ビットになる。この2ビットの組合せにより、CPU1の割込

みマスクレベルを設定できる。各割込みの許可レベルはレジスタ IPR の内容、すなわち IPR0 ~ IPR7 によって設定される。

【0024】特に制限はされないものの、レジスタ ICRにおいて、ビット7のU2Cビットは初期値が0でリード/ライト可能であり、そのほかのビットはリード/ライトは無効である。但しリードすると0をリードする。レジスタ IPR は全ビット初期値が0でリード/ライト可能である。

【0025】図4には割込み許可レベルの設定手法が示される。

【0026】U2Cビットを0にクリアした状態では、割込みマスクビットは1ビットだけとされ、許可ビットを1にセットした割込みは割込みマスクビットIを0にクリアすると許可、割込みマスクビットIを1にセットすると禁止になる。許可状態ではレジスタ IPR の各ビットの内容によって、優先（対応ビットが1）／非優先（対応ビットが0）を指定する。同時に複数の割込みが要求された場合には優先割込みが優先して受け付けられる。

【0027】U2Cビットを1にセットした状態では、割込みマスクビットは1ビットとU2ビットとされ、前記状態に加えて、割込みマスクビットIが1にセットされていても、レジスタ IPRにおいて1をセットしたビットに対応される所定の割込みは、U2ビットを0にクリアすれば、許可することができる。従って、レジスタ IPR の対応ビットを0のままとしておく、あるいはU2ビットを1にセットしておけば、割込みマスクビットを1ビットのみ有するCPUの場合と同様になる。

【0028】したがって、初期状態においてU2Cビットを0にクリアし、IPRを0にクリアしておけば、前記割込みマスクビットを1ビットのみ有する前記公知のシングルチップマイクロコンピュータに基づいて作成したソフトウェアあるいはプログラムをそのまま若しくはほとんど修正することなく、本実施例に係るシングルチップマイクロコンピュータ100に適用可能である。

【0029】図5及び図6にはシングルチップマイクロコンピュータ100の例外処理ベクタテーブルの一例が示される。

【0030】特に制限はされないものの、割り込の種別は、リセット、NMI（マスク不可能な割込み）、CPU1が実行する命令（TRAP命令0～TRAP命令3）のほか、外部端子による割込み（IRQ0～IRQ7）8本、タイマA41の割込み（キャプチャTAIC0～TAIC3、コンペアマッチTACM0及びTACM1、オーバーフローTBOV）7本、タイマB42の割込み（コンペアマッチTBCM0及びTBCM1、オーバーフローTBOV）3本、SCI5の割込み（受信完了SEREND、送信完了STEND、受信エラーSERR）3本、A/D変換器6の割込み（変換終了ADE

ND）1本がある。NMIは最優先の割込みで、割込みマスクビットI及びU2ビットの状態に依らず、常に受け付けられる。そのほかの割込みは、前記の通り各周辺回路が備える許可ビットと、レジスタ IPR の設定（IPR0～IPR7）、Iビット、U2ビットによって制御される。IPRは8ビットであり、各ビット（IPR0～IPR7）は、図5及び図6に示される通り所定要因に分けて割り当てられている。IRQ0、IRQ1は、それぞれIPR0、IPR1ビットによって独立して優先度を設定できる。その他は、複数の割込みを一括して、特に制限はされないものの、内蔵入出力回路の割込みは機能ブロックごとに、優先度を設定できる。機能ブロックの各割り込みの許可ビットは1個のレジスタ IPR に配置することができるので、IPRで同一優先順位に設定しても、一部を許可し、そのほかは禁止する操作は容易である。なお、同一優先順位の割込みが発生した場合には、図5及び図6のベクタ番号の小さい順番に受け付けられる。各割込みの機能・動作については、本発明に直接の関係はないので詳細な説明は省略する。

【0031】図7には割込み許可レベルの状態遷移図が示される。

【0032】U2Cビットを1にセットした状態では、
(1) Iビットを0にクリアした、全割込み許可状態、
(2) Iビットを1にセット、U2ビットを0にクリアした、優先割り込み許可状態、(3) Iビット、U2ビットを1にセットしたNMIのみ許可状態の3状態が存在する。CPU1が割込みを受け付けると、Iビット、U2ビットが1にセットされ、(3)状態に遷移する。前記論理演算によって、(1)，(2)の状態に遷移する。

【0033】リセット後は、U2Cビットが0にクリアされているため、初期化プログラムが必要である。かかる初期化プログラムは次の様に記述できる。なお、INITはIPRの初期設定値である。#はイミディエイトデータ（即値）を、H'は16進数を示す。

```
ORC      #H' 40, CCR
MOV. B   #INIT, R0L
MOV. B   R0L, @IPR
BSET    #7, @ICR
```

【0034】1つの割込みを実行した後、例えば、当該割込みの優先度によって、割込みマスクビットIまたはU2ビットを0にクリアすればよい。順序的な処理をする場合に、当該割込み処理プログラム中には特定要因の割込み要求のみを受け付けたい場合には、ソフトウェアによってレジスタ IPR の内容を退避し、前記受け付けたい割込みに対応するレジスタ IPR の対応ビットを1にセットし、そのほかのビットを0にクリアすればよい。その後Iビットを1にセットしたまま、U2ビットを0にクリアすればよい。前記特定の割込みとしては、例えば、タイマA41、B42のオーバーフローSCI

5の受信エラーなどの異常処理などとすることができます。

【0035】前記プログラムは以下の様に記述できる。NEWはIPRの設定値を示す。

```
MOV. B    @ IPR, ROL  
PUSH. B  ROL  
MOV. B    # NEW, ROL  
MOV. B    ROL, @ IPR  
ANDC    # H' BF, CCR  
(割込み処理プログラム)  
POP. B    ROL  
MOV. B    ROL, @ IPR  
RTE
```

【0036】このプログラム記述において先ず、割込み例外処理終了後の先頭で、レジスタIPRの内容を汎用レジスタROLを経由して、スタック領域に退避する。その後、新しいレジスタIPRの設定値を汎用レジスタROLを経由して、レジスタIPRに設定する。ここまでは、Iビット、U2ビットは割込み例外処理によって1にセットされたままであり、NMI割込み以外の割込みは受け付けない。新しい優先割込みを設定した後、U2ビットを0にクリアして、前記割込みを許可状態にする。割込み処理プログラムの実行中は、前記許可状態の割込みと、NMI割込みのみが受付可能にされる。所定の割込み処理を終了した後、前記退避したレジスタIPRの内容を汎用レジスタROLを経由してレジスタIPRに復帰する。RTE命令の実行によって割込み例外処理以前に実行中のプログラムに戻る。コンディションコードレジスタCCRの内容はRTE命令の実行によって、割込み処理以前の内容に復帰される。

【0037】図8には割込みマスクビットを1ビットのみ有する前記公知のシングルチップマイクロコンピュータに基づいて作成したソフトウェアあるいはプログラムを本実施例のシングルチップマイクロコンピュータ100に移植する場合のプログラム例が示される。

【0038】移植の元になるモジュール化されたソフトウェアあるいはプログラムの各部分は変更の必要がなく、割込み処理プログラムの先頭に前記プログラム例の前半部を、そして最後に後半部を挿入すればよい。かかる変更は割込み処理プログラムのほかソフトウェアあるいはプログラム各モジュールについて容易に行うことができる。

【0039】かかる移植によってプログラム容量が増加するが、これはシングルチップマイクロコンピュータの全体的なプログラム容量、例えば16kバイトに比べて小さく、大きな問題とはならないと考えられる。また、前記の様に、ある割込み処理中に、一部の割込みは受付可能とし、その他は保留するために、独立したアドレスに配置されている許可ビットを退避した後、受付可能とするビットを1にセットし、保留すべきビットは0

にクリアし、さらに、割込み処理の最後に退避した許可ビットを回復する操作を行なっているような場合には、かかるプログラムを削除でき、全体的なプログラム容量は減少する。

【0040】図9には割込み制御回路8に含まれる優先順位判定回路の具体的な一例が示される。

【0041】図9においてNMI、TRAP0～3、IRQ0～IRQ7、TAIC0～3、TACM0、TACM1、TAOV、TBCM0～1、TBOV、SREN, STEND、SERR、ADENDの夫々は前記図5及び図6で説明した割込み種別に対応される信号である。VEC0～VEC5は図1の84に対応されるベクタ番号である。図9の回路ブロックAの詳細な一例は図10に示され、図9の回路ブロックBの詳細な一例は図11に示され、図9の回路ブロックCの詳細な一例は図12に示される。図10～図12においてI0～I7はNMI等の割込み信号の入力端子を意味する。図10～図12の夫々における出力V0～V2は入力端子I0～I7の何れから入力された割込みが受けられるかを示す3ビットの信号である。各ブロックから出力される前記信号V0～V2は図9に示される論理回路800～802を介して前記VEC0～VEC2とされる。前記信号V3はその信号がどのブロックからの信号であるかを識別するための信号とされる。各ブロックから出力される信号V3によって図9のVEC3, VEC4, VEC5が形成される。

【0042】図10乃至図12においてIENは上位側ブロックから与えられる制御信号、OENは下位側ブロックへ与えられる制御信号である。制御信号OENは、当該ブロックの中で割込みが受けられたときに、或は当該ブロックの上位側回路ブロックで既に割込みが受けられたときに、1レベルにされて、その下位の回路ブロックにおける割り込の受付けを禁止するのに用いられる。例えばブロックAに供給される割込み信号が活性化されて当該割込みが受けられると、図10に示されるOENが1レベルにされ、これを順次受取る下位ブロックでは信号V0～V3が全て0レベルに強制される。なお、上記受け付けは、割込み要求信号が活性状態になり、割込み制御回路に入力されたことを称するものである。

【0043】図11及び図12に示されるように、各内蔵機能ブロックからの内部割込み信号と、入出力ポートから送られてくる外部割込み要求信号は、レジスタIPRの対応ビットとの論理積信号を生成する。図11及び図12においてO1, O2, O3, O4, O5は、割込み要因とこれに対応するレジスタIPRのビットが共に1レベルにされた状態に呼応して1レベルにされる。換言すれば、レジスタIPRの対応ビットによって割込み許可された要因の割込み信号が活性化されることによって1レベルにされる。ブロックB, Cから出力されるそれらの信号は図9に示される論理回路805に供給さ

れる。この論理回路805の出力は、前記ビットU2Cと共にノアゲート804に供給される。図11及び図12においてIPは図9のノアゲート804の出力制御信号である。この制御信号IPが1レベルのときは、ビットIPR0～IPR7が0にされている割込み要因に対しても受け付け可能にされる。制御信号IPが1レベルの状態は、U2Cビットが0レベル(U2ビットはユーザービットとされ割込みマスクビットは1ビットだけ)で、且つレジスタIPRに1が設定されたビットに対応する割込みが未だ発生していない状態に対応される。この状態においては全ての割込み要因が受け付け可能にされている。

【0044】図9乃至図12に示される回路構成において、内蔵機能ブロック・入出力ポートから送られる割込み要求信号は、対応するレジスタIPRのビットとアンドゲート(図11及び図12のAND)により論理積が採られる。この論理積信号は、(1) U2Cビットが1にセットされ、Iビットが1にセット、U2ビットが0にクリアされた状態、あるいは、(2) U2Cビットが0で、全ての前記論理積信号の論理和信号(論理回路805の出力)が1であれば、前記論理積信号は優先順位判定制御に供される。前記(1)(2)以外の状態、例えば前述したように、U2Cビットが0レベル(U2ビットはユーザービットとされ割込みマスクビットは1ビットだけ)で、且つレジスタIPRに1が設定されたビットに対応する割込みが未だ発生していない状態では、前記割込み要求信号は、前記アンドゲートANDの出力とは無関係に直接優先順位判定に供される。前記割込み優先順位判定では、入力された何れかの信号が1レベルであれば、CPU1に対して割込み要求と、前記1レベルの信号のうち、ベクタ番号の最も小さい信号のベクタ番号を与える。なお、NMIやTRAP命令などは前記状態によらず、前記優先順位判定に供される。かかる優先順位判定の更に詳細については、(株)日立製作所平成元年6月発行の『H8/330 HD6473308 HD6433308 ハードウェアマニュアル』などを参照することができる。

【0045】前記論理積信号は、図12に示されるようにIPRが共通の複数の割込み要求信号について共通化することができる。また、IRQ4以降はIPRを4要因単位(予約を含む)としたことにより、下位2ビットのエンコードを独立に行い、優先順位判定は上位4ビットのエンコードと下位2ビットの選択を行えばよい。これによって論理的・物理的規模の増加を最小限とすることができます。

【0046】図13には前記CPU1の割込み例外処理のタイミング図が示される。

【0047】割込み例外処理は、CPU1が割込みを受け付けた時に自動的に行う過渡的な処理とされる。まず、割込み処理受付時点でCPU1が命令プリフェッチ

を行っていればこれをステートT1で終了させた後、ステートT2、T3でCPU1内部でスタックポインタ(R7H, R7L)のデクリメントなどの内部処理を行ったあと、ステートT4～T7でプログラムカウンタPC及びコンディションコードレジスタCCRをスタック領域に退避する。ステートT7では割込み制御装置8の出力するベクタ番号をCPU1内部に取り込み、さらに、Iビットを1にセット、U2Cビットが1にセットされている場合にはU2ビットも1にセットする。ステートT8、T9で前記ベクタ番号に従ったアドレス、特に制限はされないものの、ベクタ番号を2倍したアドレスから分岐先アドレスをリードする。ステートT10、T11でこの分岐先アドレスをプログラムカウンタPCに取り込み、ステートT12以降では、分岐先アドレスから割込み処理プログラムを順次リードする。ステートT14で割込み例外処理を終了し、その後は割込み処理プログラムの先頭命令を実行する。

【0048】図14には前記CPU1の一実施例ブロック図が示される。

【0049】CPU1は命令レジスタIR、制御部CONT、データバッファDB(DBL, DBH)、アドレスバッファAB(ABL, ABH)、算術論理演算器ALU(ALUL, ALUH)、汎用レジスタROH～R7H, R0L～R7L、プログラムカウンタPC(PCL, PCH)、コンディションコードレジスタCCRから構成される。命令レジスタIR及びデータバッファDBは内部データバスH, Lに、アドレスバッファABは内部アドレスバスH, Lに接続され、さらに制御部CONTはリード信号及びライト信号などを出力する。データバッファDB、アドレスバッファAB、算術論理演算器ALU、汎用レジスタROH～R7H, R0L～R7L、プログラムカウンタPC、コンディションコードレジスタCCRは、CPU1の内部バスA、B、Cで相互に接続されている。CPU1の詳細な内部構成は本発明と直接の関係はないので更に詳細な説明は省略する。

【0050】図15にはCPU1のコンディションコードレジスタCCRの1ビット及びU2ビットの具体的な一例回路が示される。

【0051】前記コンディションコードレジスタCCRはCバスからのデータ入力、Aバス・Bバスへのデータ出力が、前記制御部CONTの出力する制御信号AC, BC, CCによってシステムクロック ϕ が0レベルの期間に行われる(同図に示される記号*はこれが付されていない信号に対して位相反転された信号であることを意味する)。さらに前記制御部CONTは割込み例外処理のステートT7にではIビットセット信号ISETが出力され、システムクロック ϕ が0レベルの期間にPチャネル型MOSトランジスタQ1によって、Iビットが1にセットされる。U2Cビットが1にセットされれば、前記Iビットセット信号ISETとU2Cビットの

出力と論理積信号によって、システムクロック ϕ が 0 レベルの間に P チャネル型 MOS トランジスタ Q2 によって、U2 ビットが 1 にセットされる。

【0052】上記実施例によれば以下の効果を得るものである。

(1) U2 ビットを選択的に割込みマスクビットとして利用可能にすることにより、物理的並びに論理的な規模の増大を最小限としながら割込み処理の効率化若しくは高機能化を実現することができる。

(2) U2 ビットに対して割込みマスクビットとしての選択を行わない場合には、ユーザビットとしての利用を担保することができるから、ユーザビットを用いることによってソフトウェアの管理の容易化並びにその実行効率の向上を図ることも可能である。

(3) コンディションコードレジスタ CCR の U2 ビットを、割込みマスクビットとして使用するか、ユーザビットとして使用するかは、ソフトウェアあるいはハードウェアの都合によって選択できるから、ソフトウェア実行効率を保持しつつ割込み処理の効率化を容易に実現できる。

(4) コンディションコードレジスタ CCR の U2 ビットを割込みマスクビットとして使用するか、ユーザビットとして使用するかを設定する U2C ビットを CPU1 の外部に有することにより、割込みマスクビットを 1 ビットのみ有する CPU の動作プログラムをほとんど変更することなく容易に流用できる。

(5) レジスタ IPR の設定内容に応じて割込みを一部許可する状態を実現できるので、各種割込み処理状況に応じて柔軟に対応できる。

(6) 割込み優先度を指定する前記レジスタ IPR を単位レジスタとしての 1 レジスタとするから、斯るレジスタ IPR の退避・復帰を容易に行うことができ、優先度の変更を効率的に行うことができる。

(7) CPU 並びにマイクロコンピュータの論理的・物理的な規模の増加を最小限としつつ、ソフトウェアの実行効率を向上することができる。

【0053】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0054】例えば、内蔵される機能ブロック、割込み要因の数・種類、IPR のビット数などについては何ら限定されない。IPR は 2 バイト (1 ワード) とすることもできる。CPU がワードサイズ命令を実行可能であれば、前記命令のデータサイズをバイトからワードに変更するだけで良い。IPR が CPU の扱える 1 データ単位であればよい。但し、例えば、3 バイト以上のように、前記 1 データ単位を超えることは、CPU が IPR 全体を一括して扱うことができず、得策ではない。割込み制御回路あるいは CPU の具体的な回路例などは上記

実施例に限定されず、その他種々変更可能である。また、CPU のレジスタ構成・割込み制御回路のレジスタ構成などは上記実施例に限定されない。例えば、U2C ビットは、ほかの制御ビットと同一のレジスタに含めることができる。

【0055】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるシングルチップマイクロコンピュータに適用した場合について説明したが、本発明はそれに限定されるものではなく、その他半導体集積回路装置化されたデータ処理装置にも広く適用可能である。本発明は少なくとも複数の事象が発生したときに調停を行なう機能を有する条件のデータ処理装置に適用することができる。

【0056】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0057】すなわち、コンディションコードレジスタのようなレジスタ手段の所定のビットを、割込みマスクビットとして使用するか、ユーザビットとして使用するかを選択する指定手段を設け、ソフトウェアあるいはハードウェアの都合によってそれを選択可能にしたから、ソフトウェアの実行効率を保持しつつ、かつ、物理的・論理的な規模の増加を最小限としながら割込み処理の効率化を実現したデータ処理装置を得ることができる。

【0058】U2C ビットのような前記指定手段を CPU の外部に設けることにより、割込みマスクビットを 1 ビットのみ有する CPU の動作プログラムをほとんど変更することなく容易に流用できる。

【0059】レジスタ IPR のように複数のビットを有する一単位のレジスタ手段であって、そのレジスタ手段の 1 ビットが単数または複数の割込み要因に対応される割込み優先指定レジスタを設け、斯る割込み優先指定レジスタの設定内容に応じて割込みを一部許可する状態を実現することにより、各種割込み処理状況に柔軟に対応できる。

【0060】IPR のような割込み優先指定レジスタを、単位レジスタとしての 1 レジスタとすることにより、斯るレジスタの退避・復帰を容易に行うことができ、優先度の変更を効率的に行うことができる。

【図面の簡単な説明】

【図 1】本発明の一実施例が適用されるシングルチップマイクロコンピュータのブロック図である。

【図 2】本発明に係るデータ処理装置の一実施例である CPU のレジスタ構成説明図である。

【図 3】本発明に用いられた割込み制御回路のレジスタ構成である。

【図 4】割込み許可状態を示す説明図である。

【図 5】シングルチップマイクロコンピュータの割込み要因の第 1 の説明図である。

【図6】図5の内容に続くシングルチップマイクロコンピュータの割込み要因の第2の説明図である。

【図7】割込み許可状態の遷移図である。

【図8】本発明を適用したCPUのためのプログラム移植方法の一例説明図である。

【図9】割込み制御回路に含まれる優先順位判定回路の全体説明図である。

【図10】図9に示される回路ブロックAの詳細な一例回路図である。

【図11】図9に示される回路ブロックBの詳細な一例回路図である。

【図12】図9に示される回路ブロックCの詳細な一例回路図である。

【図13】CPUによる割込み例外処理の一例タイミングチャートである。

【図14】CPUの一例ブロック図である。

【図15】CPUのコンディションコードレジスタの具体的な一例回路図である。

【符号の説明】

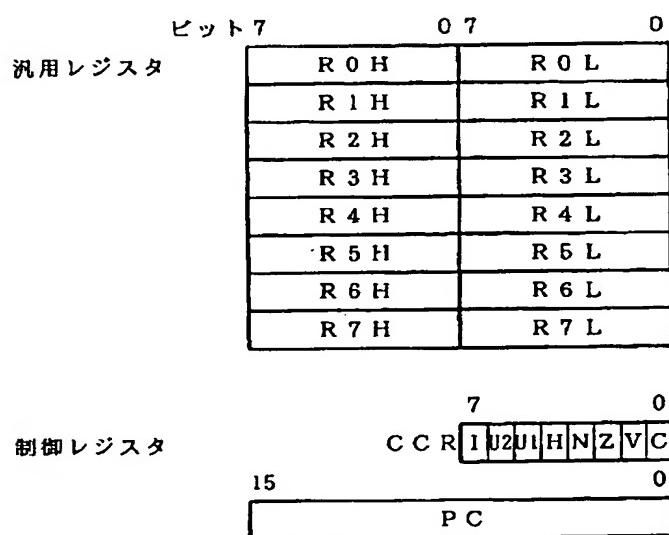
1 CPU

2 ROM

3	RAM
4 1	タイマA
4 2	タイマB
5	S C I
6	A/D変換器
8	割込み制御回路
8 1	内部割込み信号
8 2	外部割込み信号
8 3	割込み要求
8 4	ベクタ番号
8 5	制御信号 (UC 2)
C C R	コンディションコードレジスタ
I	割込みマスクビット
U 2	割込みマスクビットとして利用可能なユーザビット
U 1	ユーザビット
I C R	割込み制御レジスタ
U C 2	U 2ビットの利用態様指定ビット
I P R	割込み制御レジスタ
I P R 0 ~ I P R 7	許可ビット

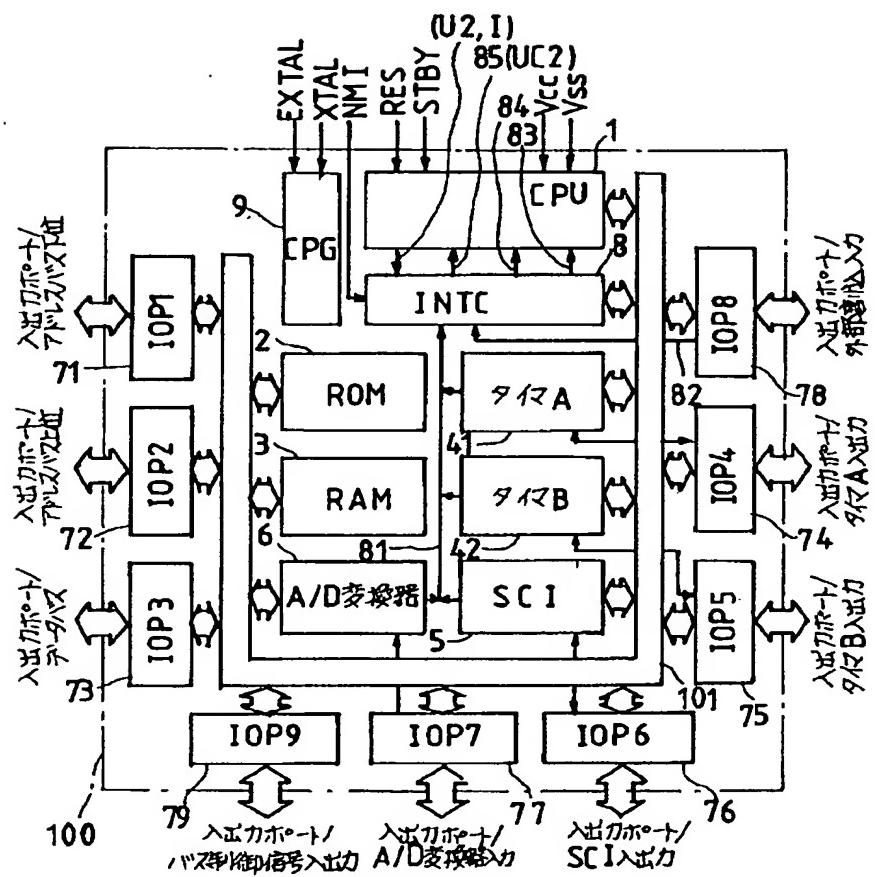
【図2】

【図2】



【図 1】

【図 1】



【図 3】

【図 3】

(1) ICR

ビット :	7	6	5	4	3	2	1	0
初期値 :	U2C	-	-	-	-	-	-	-
R/W :	0	0	0	0	0	0	0	0
R/W :	R/W	-	-	-	-	-	-	-

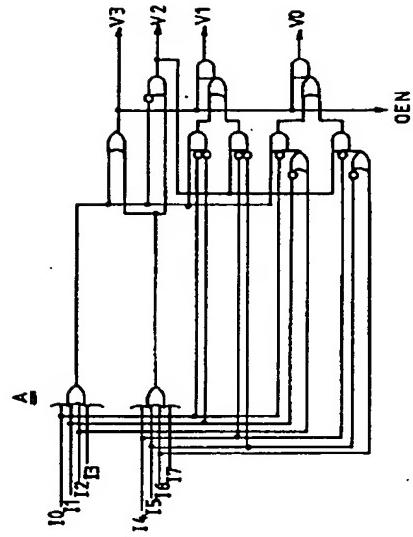
(2) IPR

ビット :	7	6	5	4	3	2	1	0
初期値 :	IPR7	IPR6	IPR5	IPR4	IPR3	IPR2	IPR1	IPR0
R/W :	0	0	0	0	0	0	0	0
R/W :	R/W							

【図 10】

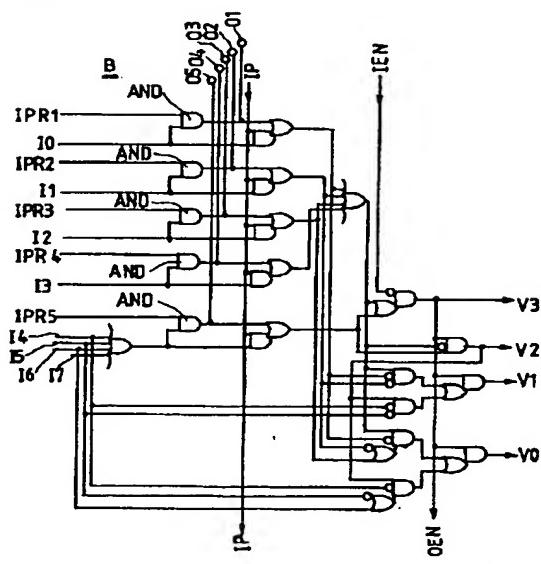
【図 10】

【図 10】



【図 11】

【図 11】



【図4】

【図4】

U2C = 0 のとき		U2C = 1 のとき	
許可ビット I PR	U2	許可ビット I PR	U2
0	-	0	-
1	0	0	-
1	1	0	-
1	-	1	-

U2C = 0 のとき		U2C = 1 のとき	
許可ビット I PR	U2	許可ビット I PR	U2
0	-	0	-
1	0	0	-
1	1	0	-
1	0	1	-
1	1	1	0
1	1	1	1

【図5】

【図5】

例外処理要因	要因発生元	ペクタ番号	割込み制御レジスタの対応
リセット	外部端子	0	-
(予約)		1	-
(予約)		2	-
NMI	外部端子	3	-
T R A P 命令0		4	-
T R A P 命令1		5	-
T R A P 命令2		6	-
T R A P 命令3		7	-
I R Q 0	外部端子	8	I P E 7
I R Q 1	外部端子	9	I P E 6
I R Q 2	外部端子	10	I P E 5
I R Q 3	外部端子	11	
I R Q 4	外部端子	12	I P E 4
I R Q 5	外部端子	13	
I R Q 6	外部端子	14	
I R Q 7	外部端子	15	

【図 6】

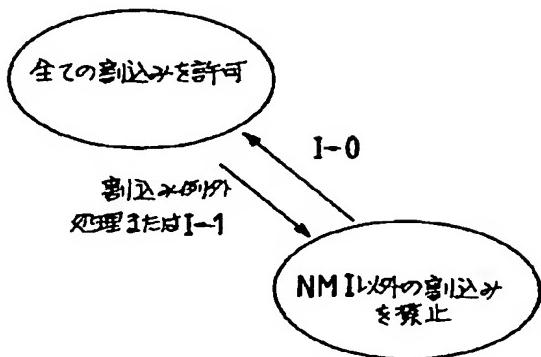
【図 6】

例外処理要因	要因発生元	ペクタ番号	割込み制御レジスタの対応
キャラブチャ	タイマA	1 6	I P E 3
キャラブチャ		1 7	
キャラブチャ		1 8	
キャラブチャ		1 9	
コンベアマツチ		2 0	
コンベアマツチ		2 1	
オーバフロー		2 2	
予約		2 3	
コンベアマツチ	タイマB	2 4	I P E 2
コンベアマツチ		2 5	
オーバフロー		2 6	
予約		2 7	
受信完了	SCI	2 8	I P E 1
送信完了		2 9	
受信エラー		3 0	
予約		3 1	
変換終了	A/D変換器	3 2	I P E 0
予約		3 3	
予約		3 4	
予約		3 5	

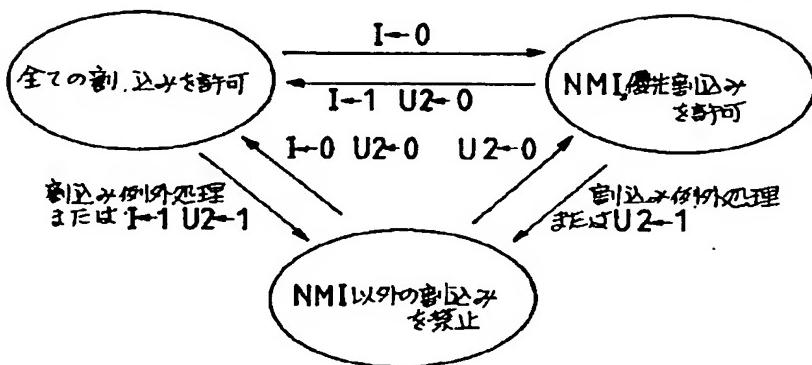
【図 7】

【図 7】

(A) $U2C=0$

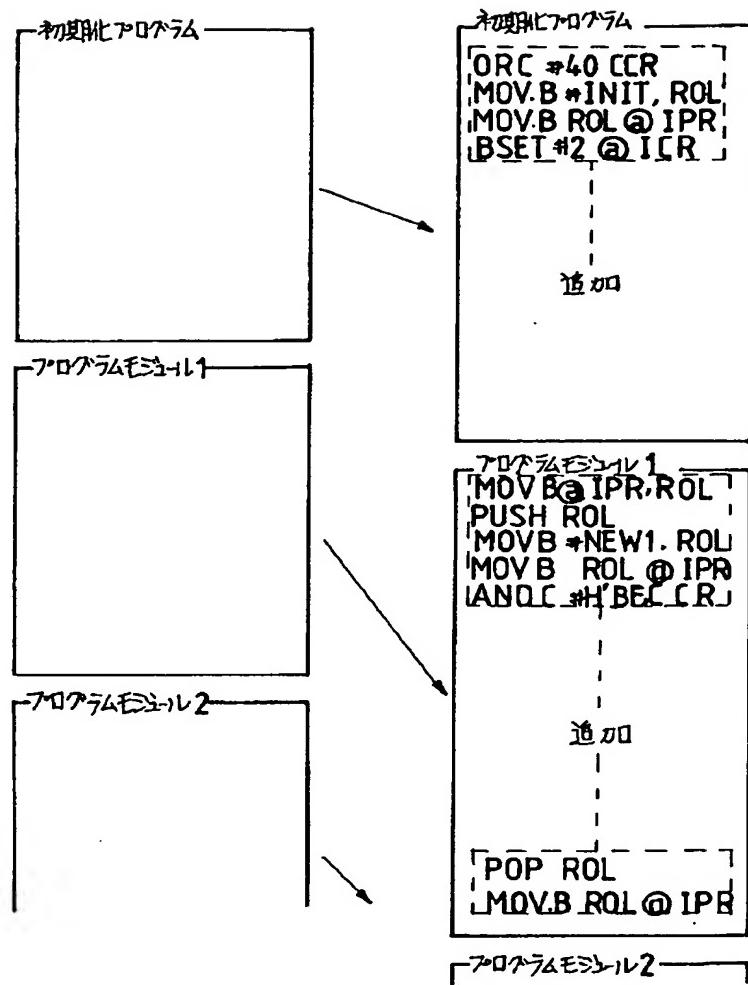


(B) $U2C=1$



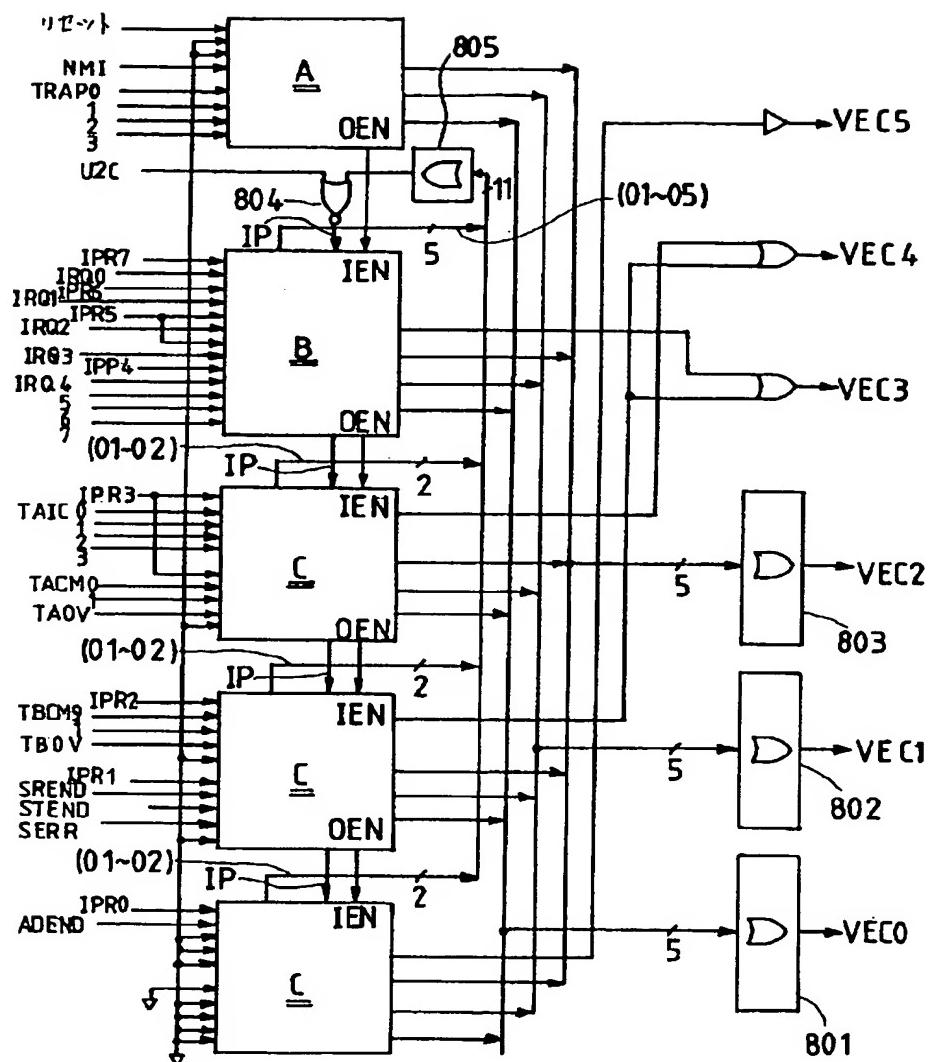
【図 8】

【図 8】



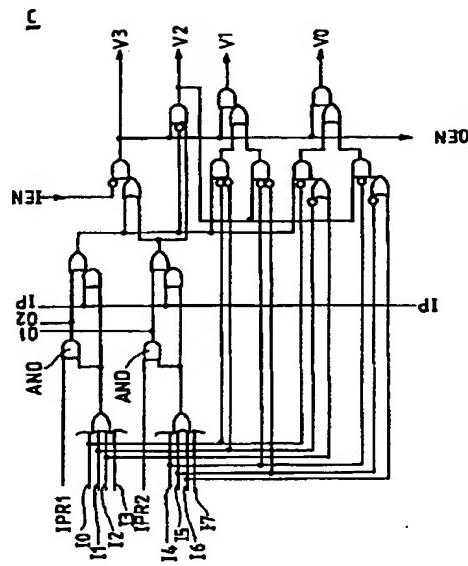
【図 9】

【図 9】



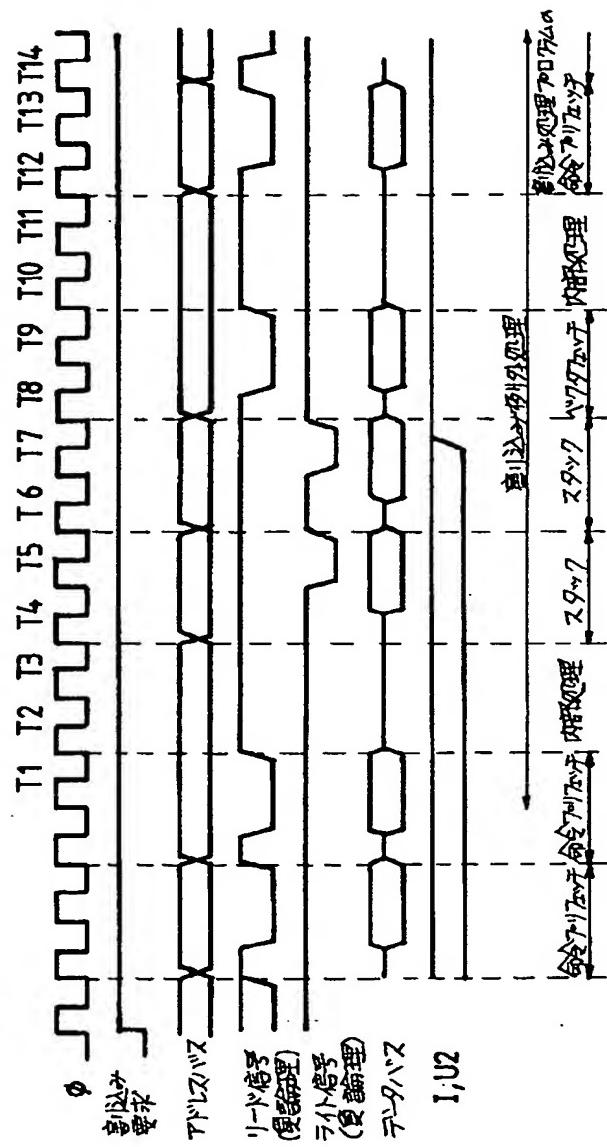
【図12】

【图 12】



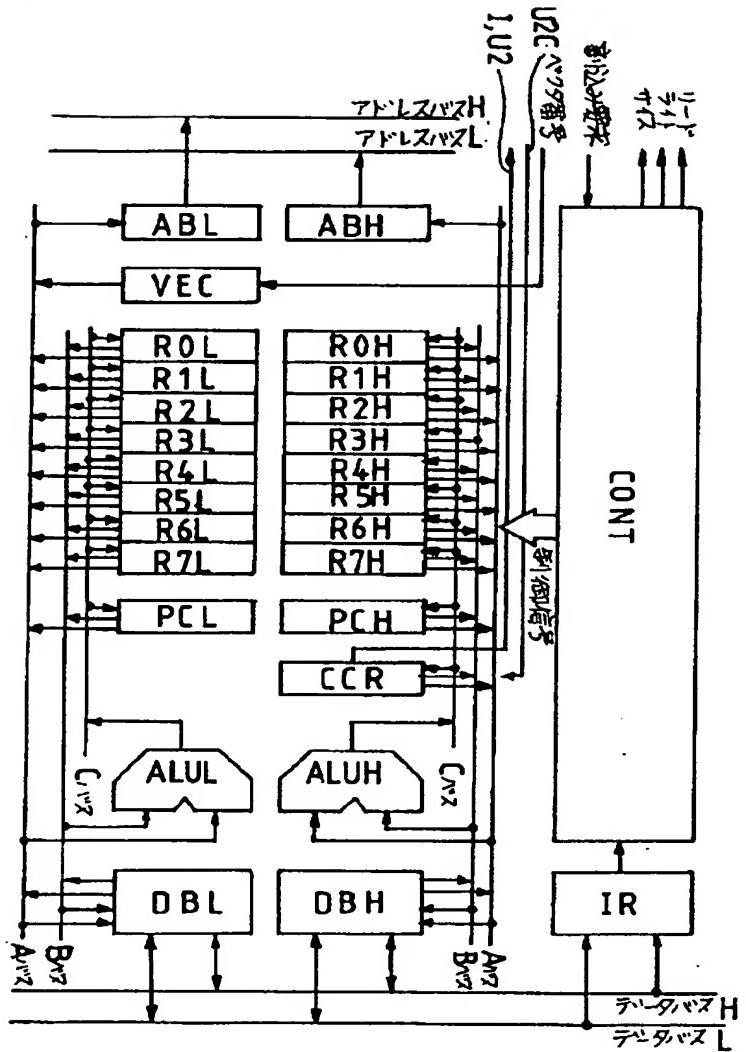
【図 13】

【図 13】



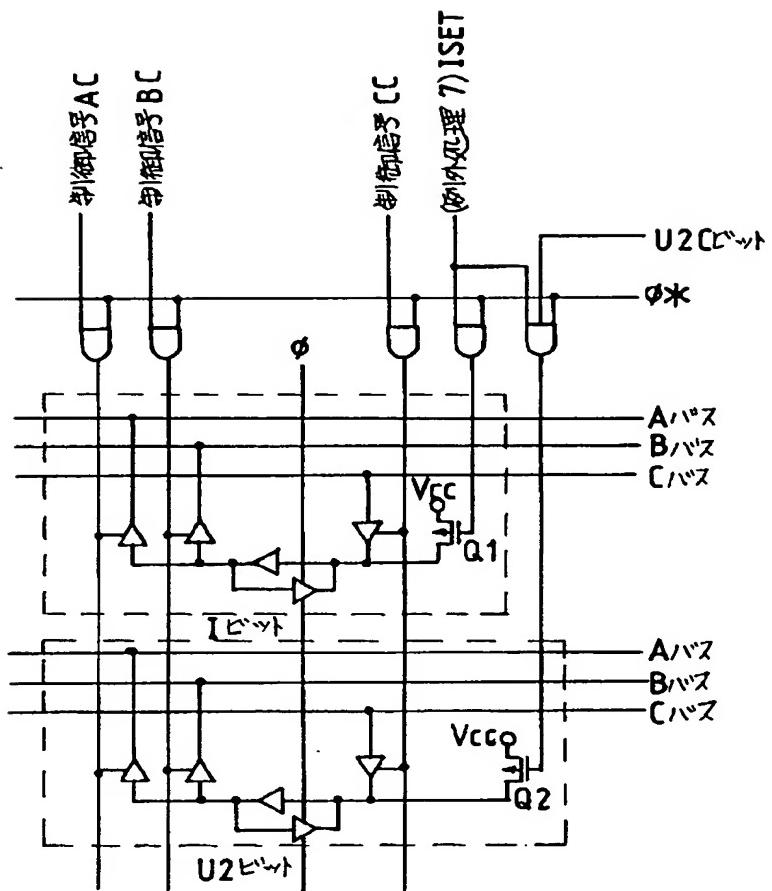
【図 14】

【図 14】



【図 15】

【図 15】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.